

## EUROPEAN PATENT OFFICE

B

## Patent Abstracts of Japan

PUBLICATION NUMBER : 01287965  
PUBLICATION DATE : 20-11-89

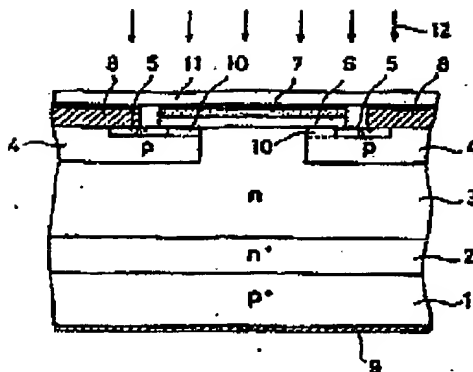
APPLICATION DATE : 13-05-88  
APPLICATION NUMBER : 63117385

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : HAGINO HIROYASU;

INT.CL. : H01L 29/78 H01L 21/322 H01L 29/68

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



**ABSTRACT :** **PURPOSE:** To suppress a decrease in a threshold voltage value within an allowable range, and to perform a high speed operation by manufacturing an insulated gate type transistor on a semiconductor substrate, and irradiating a coating material covering the surface of the transistor with an electron beam.

**CONSTITUTION:** A source electrode 8 made of metal such as aluminium or the like for electrically connecting an n-type source region 5 to a p-type base region 4 is formed, and a drain electrode 9 ohmically connected to a p+ type drain layer 1 is formed. The surface of an IGBT (conductivity modulation element) wafer formed in this manner is covered with a thin film 11 having approx. 100μm of thickness, and the film 11 is irradiated with an electron beam 12 to damage an n-type body layer 3, thereby shortening the life time of holes. Thus, a variation in the threshold value voltage based on the irradiation with the electron beam is suppressed in an allowable range, and an insulated gate transistor having short turning OFF time can be manufactured.

**COPYRIGHT:** (C)1989,JPO&Japlo

④日本国特許庁(JP) ⑤特許出願公開  
 ⑥公開特許公報(A) 平1-287965

⑦Int. Cl.<sup>4</sup> ⑧特 願 昭59-117385  
 H 01 L 29/78 ⑨出 願 昭59(1988)5月13日  
 21/822 321 J-2422-SF  
 29/88 L-7738-SF  
 8828-SF審査請求 本請求 請求項の数 1 (全3頁)

⑩発明の名称 半導体装置の製造方法

⑪特 願 昭59-117385

⑫出 願 昭59(1988)5月13日

⑬発 明 者 荻 野 浩 昭 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹  
 製作所内

⑭出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑮代 理 人 弁理士 大 岩 瑞 穂 外2名

項 目 要 要

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体装置を製造する第1工程と、

第2工程と、  
 第2工程は第1工程に形成したゲート型トランジスタ  
 を製造する第2工程と、

第3工程と、  
 第3工程は第2工程に形成したゲート型トランジスタの  
 各面上を被覆する第3工程と、

第4工程と、  
 第4工程は第3工程に形成したゲート型トランジスタの  
 各面上を被覆する第4工程と、

3. 発明の技術的効果

(1) 製造上の経済効果

この発明は、ゲート型トランジスタのターン  
 オフ時間を短縮する半導体装置の製造方法に関  
 するものである。

(2) 製造上の経済効果

第4工程は、ゲートのパターニングを省略する  
 ことにより、製造コストを低減する。また、  
 第4工程は、ゲートのパターニングを省略する  
 ことにより、製造コストを低減する。

発明において、1はp<sup>+</sup>半導体基板から成る

0<sup>+</sup>ドレイン層であり、その一方全面にはキャ  
 リアを閉鎖するための0<sup>+</sup>バッファ層2が形成さ  
 れている。この0<sup>+</sup>バッファ層2の下面には、  
 ホモタイプ層3が形成されている。このホモタイプ  
 層3の下面には、p<sup>+</sup>不純物をイオン注入  
 することにより、ベース領域4が形  
 成され、さらにこのベース領域4の上面の一部  
 領域には、高濃度のp<sup>+</sup>不純物をイオン注入する  
 ことにより、ソース領域5が形成  
 されている。ホモタイプ層3の上面と、ソース  
 領域5の上面とで形成されたベース領域4の上面  
 には、ゲート絶縁層6が形成され、このゲート絶  
 縁層6は、ゲートのパターニングにより、ゲート  
 絶縁層7が形成され、また、ベース領域4の上  
 部、ソース領域5の両方に電気的に接続するよ  
 うに、例えばアルミなどの金属のソース電極8が形  
 成されている。また、0<sup>+</sup>ドレイン層1の上面に

は金属のドレイン電極と金属IGBTセルに於て同時に形成されている。

ロネダイ層とロ<sup>+</sup>ソース領域とで挟まれたロベース領域4の構造はリチャードのMOS構造となっており、ゲート電圧 $V_g$ が正、ソース電圧 $V_s$ が負となるゲート電圧 $V_g$  ( $> V_{th}$  (閾値電圧))を印加することにより、ゲート電圧 $V_g$ 以下のロベース領域4の表面近傍のチャネル領域10が形成される。このチャネル領域10を通じて、電子がロ<sup>+</sup>ソース領域5よりロネダイ層3へと流れる。一方、ロ<sup>+</sup>ドレイン層1からは少子キャリアである正孔がロネダイ層3に注入され、その一部は上記電子と再結合して消滅し、残りは正孔電流としてロベース領域4を流れる。この様にIGBTは、局所的にバイポーラ的な動作をし、ロネダイ層3では、正孔による低電流密度の移動により電流が流れることにより、従来のパワーMOSに比べて低いオン抵抗、大きい電流密度を実現できる利点がある。

通常のMOSFETでは、500Vを超えるよ

#### 特開平1-287985(2)

うな高耐圧素子ではロネダイ層3のオン抵抗を非常に大きくする必要があるが、IGBTでは低電流密度により耐圧性なロネダイ層3の低抵抗を有しく下げることが可能となり、低電圧でかつオン抵抗の低い素子を実現できる。

(発明が解決しようとする課題)

従来のIGBTは以上のようにならわれていた。

また、ロネダイ層3のゲート電圧 $(-V_g)$ を印加することにより、IGBTをオフさせることができ、チャネル領域10の電圧がロ<sup>+</sup>ドレイン層1から注入された正孔は向陽移動する以外にない。従って、正孔のライフタイムが長いとターンオフ時遅延が大きくなり高耐圧素子に要求をきたす原因点であった。

正孔の寿命を短くする手段の一つとして完成したIGBTへの電子移動機構が挙げられる。この電子移動機構によりロネダイ層3に電流を流すことで、正孔のライフタイムを短くできる。

しかしながら、電子流を生成することによりゲート電圧 $V_g$ にも電流を流し、さらに移動する電

子流が空気中の酸素と反応しオゾンが大量に発生する。このオゾン等のイオンがIGBT素子に作用して損傷することによってチャネル領域10が破壊され、電流が流れなくなりIGBTの耐電圧 $V_{th}$ が低くなる(低下)してしまう。両方とも電子流の移動と電流電圧 $V_{th}$ の低下と $V_{th}$ を流したゲート電圧 $V_g$ が、問題を示すように、電子流の移動と電流電圧 $V_{th}$ が小さく低下してゆく。

そこで300℃程度の温度で2層構造に電子移動機構の温度電圧 $V_{th}$ の低下及びロネダイ層3の電流を低減(アニール)させている。また、IGBT動作時の温度上昇に伴うアニールにより、動作中にける電流電圧 $V_{th}$ はターンオフ時遅延の増加を招くためにも、予め300℃程度の温度によるアニールが必要である。

しかし $V_{th}$ の低下が大きすぎると、 $V_{th}$ の低下を抑制するために450℃程度の温度での熱処理が必要となり、ロネダイ層3の損傷をほとんど回避させてしまうことになってしまい、結局正孔のライフタイムは電子移動機構の状

態に悪ってしまうという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、高耐圧性の低下を抑制するために注入電流動作を考慮した半導体装置の製造方法を提供することを目的とする。

(問題を解決するための手段)

この発明にかかる半導体装置の製造方法は、半導体基板を準備する第1工程と、前記半導体基板上に前記ゲート電圧トランジスタを形成する第2工程と、前記第2工程で形成された前記トランジスタの表面を保護層で覆う第3工程と、前記トランジスタの前記保護層上より電子流を生成する第4工程とを含む。

(作用)

この発明にかかるトランジスタへの電子流の移動は、保護層を介して行われるため、空気中のオゾン等のイオンがトランジスタ表面に接触することはない。

(発明の効果)

第1工程はこの発明の一実施形態であるIGBTの

製造方法の明細書の範囲内である。

以下、第1図を参照してIGBTの製造方法を示す。まず、シリコン等の不純物を有する比較的大約0.01 cm程度のp<sup>+</sup>ドレイン層1上に、厚さ20 μm、比抵抗 0.10 Ωcmのn<sup>+</sup>パッド層2をエピタキシャル成長により形成する。さらに選択的にエピタキシャル成長により約50 Ωcmの高比抵抗のn<sup>+</sup>キャパシタ層3を100 μm程度の厚さで形成する。キャパシタ層3は上記した厚さ、比抵抗で1000 V程度の耐圧性がある。

キャパシタ層3の上面に厚さ1000 Å程度の酸化膜を形成し、この酸化膜上にポリシリコン層を形成する。この層の酸化膜、ポリシリコン層に付する層間膜によってゲート絶縁膜が形成され、ゲート電極7を形成し、このゲート電極7をマスクとしてイオン注入によりボロンを投入し、pベース領域4を形成する。さらに同じくゲート電極7をマスクとしてリン、ヒ素等の不純物を投入するnソース領域5を形成し、ヒ素イオン注入によって形成する。次にソース領域5とpベース領域4を酸

化で $10^{14}/\text{cm}^2$ の電子線を照射した場合、フィルム層11を有したIGBTで-10 V偏置、フィルム層を有さなかったIGBTで-20 V偏置の両極電圧差 $\Delta V_{16}$ が得られた。

次に、フィルム層11を剥離し、両極電圧差 $\Delta V_{16}$ の電圧差の測定を行う。その結果、フィルム層の有無による電子移動度のIGBTのアニール温度と両極電圧の両方、及びアニール温度とターンオフ時間の関係を示したグラフである。図2に示すように、-2、-3 V程度の両極電圧差 $\Delta V_{16}$ を許容範囲とすれば、電子移動度時にフィルム層11を有したIGBT（図中13で示す）の両極電圧 $V_{16}$ は320〜330 V程度で測定する。一方、フィルム層11を有さなかったIGBT（図中14で示す）は300 V以上のアニール温度が得られる。

一方、アニール温度によりキャパシタ層3が形成することによるターンオフ時間は電子移動度のフィルム層の有無にほぼ等しい（図中15で示す）。従って、電子移動度時にフィルム

### 特許1-287965(8)

第1図に示したアルミ等の金属よりなるソース電極を形成し、さらにp<sup>+</sup>ドレイン層にオーミック接触されるドレイン電極が形成される。

このようにして形成されたIGBTウェハの表面を約100 μm程度の薄いフィルム層11で被覆し、このフィルム層11による被覆は、ポリイミドやレジスト等を溶剤に溶解してスピンコートでコーティングすることによって容易に形成されるフィルム層11を形成することによって行われる。そして、第1図に示すようにフィルム層11上からゲート層12を形成することによりキャパシタ層3に酸化膜を付し、正負のライフタイムを短くする。第2図はフィルム層11の有無によるIGBTの電子移動度と両極電圧差 $\Delta V_{16}$ の関係を示すグラフである。図2に示すようにフィルム層11を有するIGBT（図中13で示す）の方が、フィルム層を有さないIGBT（図中14で示す）より、電子移動度に基づく両極電圧差 $\Delta V_{16}$ は半分以上程度に短縮されていることがわかる。一方をみると、厚さ1000 Åのゲート電極を有するIGBTに両極電圧1 Mv、ドーズ

量11を有したIGBTは320〜330 V程度の両極電圧差 $\Delta V_{16}$ が得られる。ターンオフ時間は1 μs程度である。これに対して、電子移動度時にフィルム層11を有しないIGBTは300 V以上の両極電圧差 $\Delta V_{16}$ が得られる。4〜5 μsと、電子移動度時とほぼ等しい。

このように、フィルム層11を形成したIGBTより電子移動度を高くすることで、オゾン等による酸化膜の形成を抑制し、両極電圧差 $\Delta V_{16}$ を低減することができる。このため、キャパシタ層3が酸化膜に酸化されるのを抑制し、アニール温度で両極電圧 $\Delta V_{16}$ の短縮に寄与する効果が得られる。従ってターンオフ時間の短縮も期待できる。

なお、フィルム層11の形成方法は本明細書に示した以外にも有機膜やポリエチレン等を形成し、その中にIGBTウェハを入れた後、溶剤を蒸気中に置いてもよい。しかしながら、IGBTの製造ラインに電子移動度がイオン注入によるように形成されている場合は、本明細書に示した方法

が表面化している。

また、フィルム層11の厚みはIGBTへの電子線の透過性を有して十分に薄くする必要がある。加速電圧4.7~14kV程度で照射する場合は100~200Åは膜厚低下にすることが望ましい。

また、この実施例ではnチャネルIGBTに関して述べたが、pチャネルIGBTにも同様の効果がある。

#### (発明の効果)

以上説明したように、この発明によれば、トランジスタへの電子線の照射を装置を介して行うため、比較的低いアニール温度で安定した閾値電圧に調整することができ、ターンオフ時の強い熱電ゲート型トランジスタを製造することができる効果がある。

#### 4. 図面の図示の説明

図1図はこの発明の一実施例であるIGBTの製造方法を示すIGBTの断面図、図2図はこの発明により製造されたIGBTにおける電子線照射量と閾値電圧変化の関係を表すグラフ、図3図

特開平1-287985(4)

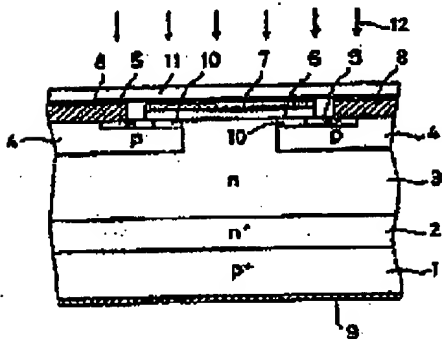
はアニール温度とIGBTの閾値電圧変化を表すターンオフ時の関係を表すグラフ、図4図は従来のIGBTを表す断面図、図5図は従来のIGBTにおける電子線照射量と閾値電圧変化の関係を表すグラフである。

図において、11はフィルム層、12は電子線である。

なお、各図中同一符号は同一または相当部分を示す。

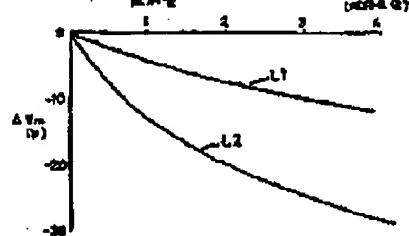
代理人 大 田 野 敏

第 1 図

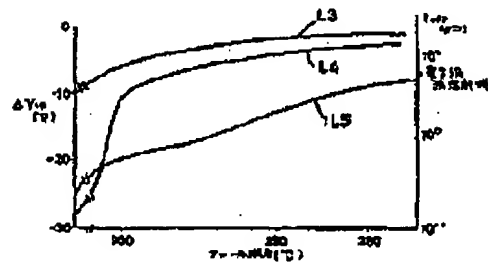


11-----フィルム層  
12-----電子線

第 2 図

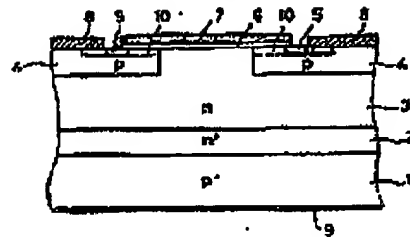


第 3 図



特開字1-287965 (5)

第 4 圖



第 5 圖

